

氮化硅薄膜的 CHF₃/O₂ 混合等离子干法刻蚀研究

孙家宝, 孙一军

(浙江大学 微纳加工中心, 浙江省 杭州市 310013)

摘要: 氮化硅薄膜在微纳米结构器件和集成电路芯片制造等领域具有重要意义。研究表明, CHF₃/O₂ 气体比例对氮化硅薄膜的刻蚀效果产生显著影响。在该研究中, 基于感应耦合等离子体干法刻蚀设备, 通过固定工艺气体 CHF₃+O₂ 总流量为 50 sccm, ICP 功率为 200 W, RF 功率为 50 W, 工艺压力为 5 mTorr, 工艺温度为 20°C, 调整 O₂ 比例至 10%, 获得了陡直的氮化硅侧壁 (约 89°) 和较低的下层硅表面粗糙度 (0.2nm)。此外, 研究中还利用 X 射线光电子能谱仪对样品表面残留物进行了组分分析, 进一步认识了 CHF₃/O₂ 等离子干法刻蚀机理。

关键词: 感应耦合等离子干法刻蚀设备; CHF₃/O₂ 混合等离子体; 氮化硅薄膜侧壁轮廓; 硅表面粗糙度

1 引言

氮化硅 (Si₃N₄) 在微纳米电子器件制造方面具有重要作用, 如用于栅极介质[1,2]、干法刻蚀掩蔽层[3、4]、钝化层和保护层等[5-7]。随着器件尺寸的缩小, Si₃N₄ 掩膜的各向异性等离子蚀刻变得至关重要。典型的刻蚀工艺需要过度刻蚀 Si₃N₄ 以彻底去除残留。然而, 过度刻蚀会导致下层硅 (Si) 表面粗糙度增加, 降低器件性能。因此, 优化蚀刻工艺实现垂直侧壁轮廓和下层 Si 的低表面粗糙度是制造小尺寸高性能微纳米器件的关键。

然而, 以往的研究往往只关注 Si₃N₄ 薄膜刻蚀的某些方面, 缺乏系统性的研究来同时实现 Si₃N₄ 薄膜的各向异性蚀刻和下层 Si 的低表面粗糙度。此外, 尽管 ICP 设备具备独立控制工艺参数的能力, 可以为微纳米器件的制造提供更加出色的各向异性蚀刻技术, 基于感应耦合等离子 (Inductively Coupled Plasma, ICP) 刻蚀设备运用 CHF₃/O₂ 混合等离子体对 Si 晶圆表面 Si₃N₄ 薄膜的刻蚀研究依然相对较少。

因而, 本研究深入探究了基于 ICP 设备的 Si₃N₄ 薄膜的 CHF₃/O₂ 混合等离子干法刻蚀特性。主要研究内容包括刻蚀后 Si₃N₄ 薄膜的侧壁轮廓和下层 Si 晶圆的表面粗糙度。此外, 研究中还利用 X 射线光电子光谱仪 (XPS) 分析了经过不同 O₂ 比例的 CHF₃/O₂ 混合等离子体处理的样品表面残留物组分。

2 实验

2.1 Si 晶圆准备

实验中, 使用直径为 6 英寸 (150mm) 的单晶 Si 晶圆作为衬底, 晶圆电阻率为 2-10 Ω·cm, 掺杂类型为 n 型, (100) 晶向。

2.2 Si 晶圆清洗:

1) 清洗准备: 将加热台温度设定为 200°C, 加热去离子水至 100°C, 用热去离子水冲洗样品盒和聚四氟乙烯烧杯, 然后将样品盒和聚四氟乙烯烧杯在烘箱中以 80°C 烘 10 min 备用。

2) 去除有机物: 将 Si 晶圆放入聚四氟乙烯烧杯中, 加入丙酮超声清洗 5 min, 倒出丙酮并用热去离子水冲洗干净, 再加入无水乙醇超声清洗 5 min, 倒出无水乙醇并用热去离子水冲洗干净。上述过程重复两次。

3) 去除氧化层: 将 1000 ml 去离子水加热至 80°C, 加入 200 ml 氨水 (NH₄OH) 和 200 ml 双氧水 (H₂O₂), 搅拌均匀后放入硅晶圆, 烧煮 15 min, 热去离子水冲洗干净。

4) 去除金属玷污: 将 1500 ml 去离子水加热至 85°C, 加入 250 ml 质量分数为 36% 的盐酸 (HCl) 溶液和 250 ml 双氧水 (H₂O₂), 搅拌均匀后放入硅晶圆, 烧煮 15 min, 热去离子水冲洗干净。

5) 烘干: 将硅晶圆置于 80°C 烘箱中烘干待用。

2.3 Si₃N₄ 薄膜沉积与测量

1) Si₃N₄ 薄膜的制备在低压化学气相沉积 (LPCVD) 设备中进行, 前驱体为二氯硅烷 (SiCl₂H₂) 和氨气 (NH₃), 沉积温度 820°C, 沉积压力 170 mTorr, SiCl₂H₂ 流量 50 sccm, NH₃ 流量 200 sccm, SiCl₂H₂/NH₃ 流量比 1:4, 沉积时间 40 min。

2) 使用椭圆偏振光谱仪对 Si₃N₄ 薄膜进行了测量, 直径 6 英寸的晶圆平面内, 取上、下、左、右、中间 5 个点, 上、下、左、右 4 个点距离边缘 2 mm。最终测得 Si₃N₄ 薄膜的平均厚度为 100 nm, 折射率为 1.95。

2.4 样品表面图形化

刻蚀工艺前, 在 Si₃N₄ 表面旋涂一层 5350 正性光刻胶, 匀胶转速 3500 rpm, 旋涂时间 60 s, 105°C 前烘 4 min。使用型号为 Karl Suss MA6-BSA 紫外光刻机对光刻胶进行曝光处理, 曝光功率 380 W, 光强 7.9 mJ/cm², 曝光时间 4.5 s。曝光后, 采用稀释的型号为 AR300-26 的显影液进行显影处理, 显影液与水的比例为 1:7 (体积比), 显影时间为 12 s。

2.5 Si₃N₄ 薄膜的干法刻蚀

Si₃N₄ 薄膜干法刻蚀是在 ICP 蚀设备中进行的, ICP 功率主要由 ICP 源提供, ICP 源本身通常由一对电极和匹配网络组成, 用于生成高频 (13.56MHz) 电磁场, 以产生等离子体。RF 功率则由 RF 源提供, RF 源通常由高功率的 RF 发生器、匹配网络和电容等组成, 用于产生高频 (13.56MHz) 交变电场, 并调节其输出功率。在干法刻蚀过程中, 需要将待刻蚀物料放置于具有 RF 电极的载片台上, 通过引入 RF 功率来使电极产生交变电场, 从而在被刻蚀的样品表面形成直流电子束, 促进反应气体的解离和离子化, 以及粒子轰击效应等。因此, 在干法刻蚀中, ICP 功率主要控制等离子体的密度和活性, 而 RF 功率则主要控制反应气体

中离子和能量的运输，以及样品表面的电磁效应，二者协同作用以实现高效刻蚀。

实际刻蚀中，保持 ICP 功率为 200 W，RF 功率为 50 W， CHF_3+O_2 混合气体总流量为 50 sccm，工艺压力为 5 mTorr，分别调控氧气流量占总流量的比例为 4%、6%、10%、20%和 50%。6 英寸 Si 晶圆被切割成多个 $1\text{ cm}\times 1\text{ cm}$ 的小片，这些小片被用导热性能良好的真空硅脂粘贴在直径 4 英寸的铝材质托盘上，托盘放置在刻蚀腔室内的载片台上，对托盘背面进行持续氦气冷却以确保刻蚀实验始终在 20°C 下进行。刻蚀过程示意图如图 1 所示。

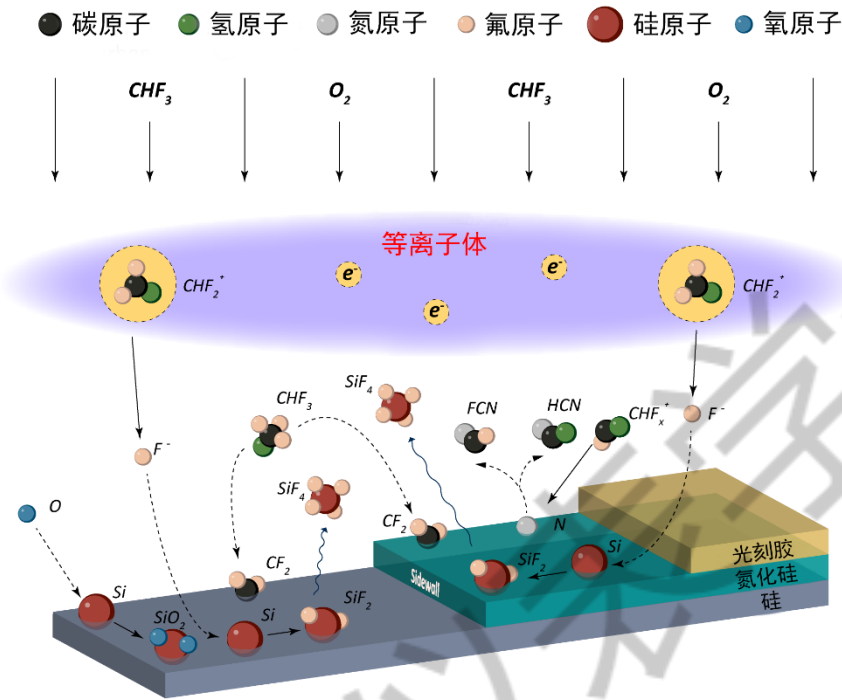


图 1 CHF_3/O_2 混合感应耦合等离子体刻蚀 Si_3N_4 薄膜过程示意图

2.6 样品表面微观形貌表征

刻蚀后的 Si_3N_4 图形的侧壁轮廓和下层 Si 表面粗糙度分别采用扫描电子显微镜 (SEM) 和原子力显微镜 (AFM) 进行表征。

2.7 样品表面残留物分析

刻蚀后样品表面残留物成分采用 X 射线光电子能谱仪 (XPS) 进行分析。

3 结果和讨论

3.1 O_2 比例对 Si_3N_4 侧壁轮廓的影响

图 2 是运用 SEM 表征的经过不同 O_2 比例的 CHF_3/O_2 混合等离子刻蚀处理的 Si_3N_4 侧壁微观形貌图。图 2 表明，加入 O_2 会对 Si_3N_4 侧壁角度产生显著的影响。当 O_2 比例增加到 10% 时， Si_3N_4 侧壁非常陡直，夹角为 89° 。经分析，在刻蚀过程中，氧等离子主要起到两个作用：一是与碳基有机物发生化学反应生成挥发性气体 CO 或 CO_2 ，从而抑制碳氟化物的形成。二是与已生成的碳氟化物发生化学反应将其去除。据报道，刻蚀过程中不断生成的中间副产物

碳氟化物会附着在 Si_3N_4 表面和侧壁形成刻蚀抑制层[4]。高能离子基团的物理轰击以及氧等离子与碳氟化物的化学反应共同作用使得 Si_3N_4 沟槽底部的刻蚀抑制层被去除。由于大部分高能离子的物理轰击方向指向沟槽底部,使得对沟槽底部的碳氟化物去除速率远大于对侧壁上的碳氟化物去除速率。当 O_2 比例较低时, CHF_3 比例较高未能被充分电离,过饱和的 CHF_3 气体分子与高能离子互相碰撞而弱化了高能离子对底部刻蚀抑制层的物理轰击,此时高能离子与氧等离子的化学作用占主导地位,而化学刻蚀是各向同性的,因此在低 O_2 比例条件下,横向刻蚀较大。随着 O_2 比例逐渐增加到 10%, CHF_3 的比例随之减少, CHF_3 气体逐渐得到充分电离,逐渐减少的 CHF_3 气体分子与高能离子的碰撞减弱,使得高能离子的物理轰击增强,从而增强了对沟槽底部的刻蚀抑制层的去除能力,而由于物理轰击是指向底部的,因而对侧壁的刻蚀抑制层的物理轰击较少,此时侧壁的刻蚀抑制层对侧壁起到保护作用,使得横向刻蚀逐渐减弱。当 O_2 进一步增加到较高比例时 (>10%),氧等离子浓度随之增加,氧等离子与碳氟化物的反应增强,减薄底部刻蚀抑制层的同时,侧壁的碳氟化物也同时被减薄甚至完全去除,从而减弱了对碳氟化物对侧壁的刻蚀保护作用,此时 CHF_3 等离子进一步减少,高能离子基团的物理轰击作用减弱,对 Si_3N_4 趋于各向同性刻蚀,使得横向刻蚀逐渐增强。综上所述, CHF_3/O_2 混合等离子刻蚀对 Si_3N_4 侧壁的横向刻蚀效应是高能离子的物理轰击和氧等离子的化学作用两种机制共同竞争的结果,在 O_2 比例为 10% 时,可以获得最佳的刻蚀效果。

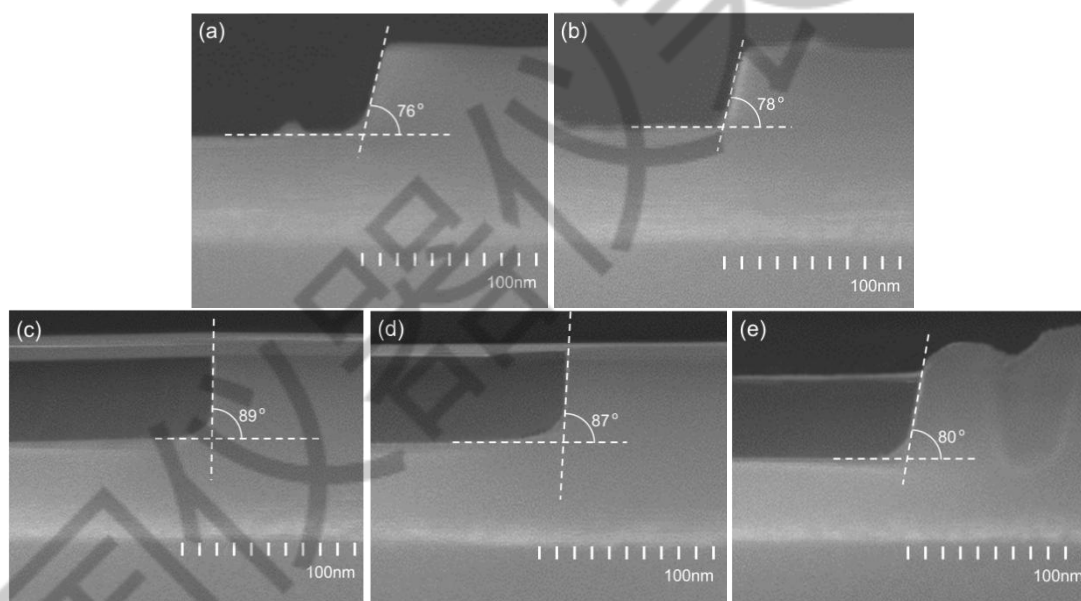
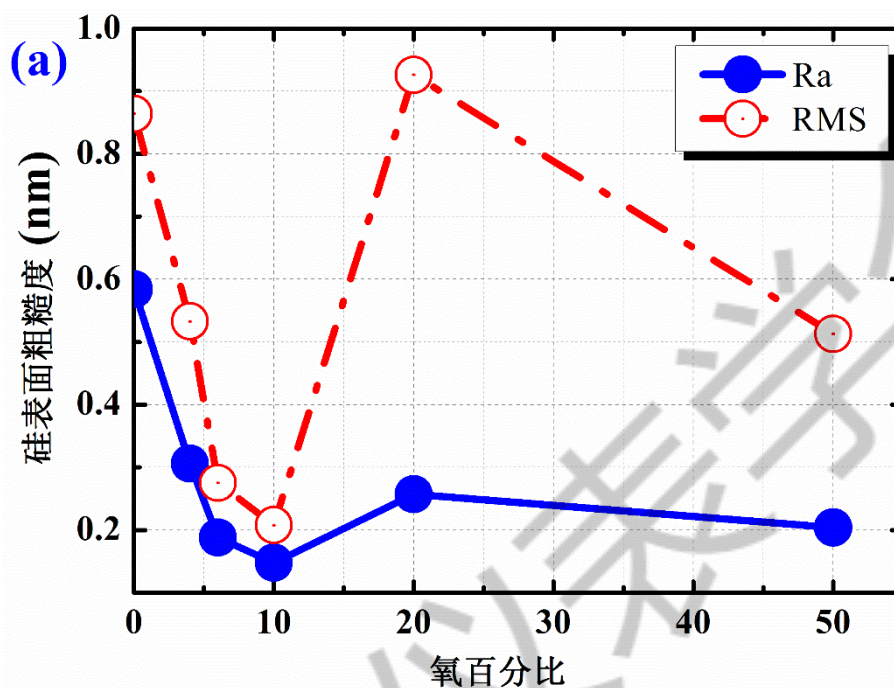


图 2 刻蚀后 Si_3N_4 样品的 SEM 图像, O_2 浓度分别为 4% (a), 6% (b), 10% (c), 20% (d) 和 50% (e)

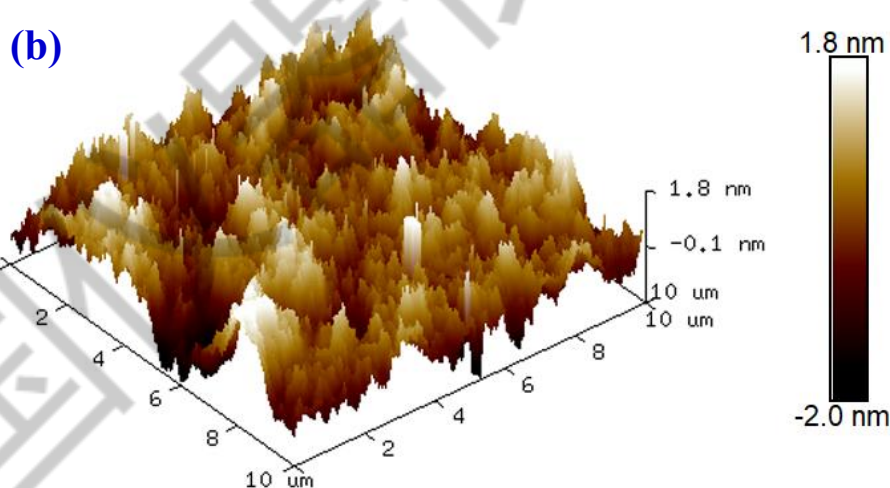
3.2 O_2 比例对下层 Si 表面粗糙度的影响

Si 晶圆表面过高的表面粗糙度会显著降低载流子的迁移率,导致器件性能下降。研究中探索了不同 O_2 比例对 Si 表面粗糙度的影响,运用 AFM 对经过不同 O_2 比例 CHF_3/O_2 混合等离子干法刻蚀处理的 6 组样品进行了表面形貌表征。图 3 (a) 表明,纯 CHF_3 等离子体刻

蚀得到的 Si 表面 RMS 和 Ra 值远未达到高性能硅半导体器件所要求的标准，可能是由于碳基副产物导致的掩蔽效应，进而导致较大的 Si 表面粗糙度。当向 CHF_3 等离子体中添加适量 ($<10\%$) 的 O_2 时，RMS 和 Ra 均显著减小，可能是因为适量 O_2 可抑制和去除碳基副产物双重作用的效果。同时，在 O_2 浓度超过 20% 时，硅表面粗糙度再次呈现出降低的趋势。分析可能是由于较低的 CHF_3 等离子体比例减缓了对硅表面的刻蚀速率，同时高浓度的 O 等离子子将 Si 表面氧化形成 Si 氧化层，作为刻蚀掩蔽层缓冲或阻止 CHF_3 等离子对 Si 表面的刻蚀，从而降低了硅表面粗糙度。



(a) Si 表面粗糙度 RMS 和 Ra 随 O_2 比例的变化关系图



(b) O_2 比例为 10% 时 Si 表面的 AFM 图像

图 3 Si 表面粗糙度 AFM 表征结果

3.3 样品表面组分分析和刻蚀机制验证

为验证 3.1 节和 3.2 节的结果分析，更进一步深入理解 CHF_3/O_2 混合等离子体的刻蚀机理。

在研究中，运用 X 射线光电子能谱仪对 6 组不同 O_2 比例的样品进行了表面残留物组分分析，得到的高分辨率 XPS 光谱如图 4 所示。图 4 数据表明，随着 O_2 含量的增加，C-O 键的峰强在逐渐显著增强，而所有 C-F_x (x=1,2,3) 键对应的峰强均逐渐显著减弱。另外，图 5 F1s 能谱曲线进一步表明，随着氧含量的增加，F-C 键对应的峰强也在逐渐显著减弱。这验证了我们在 3.1 节中关于 O 等离子可有效抑制和去除碳氟化物，产生挥发性 CO 或者 CO₂ 的分析。

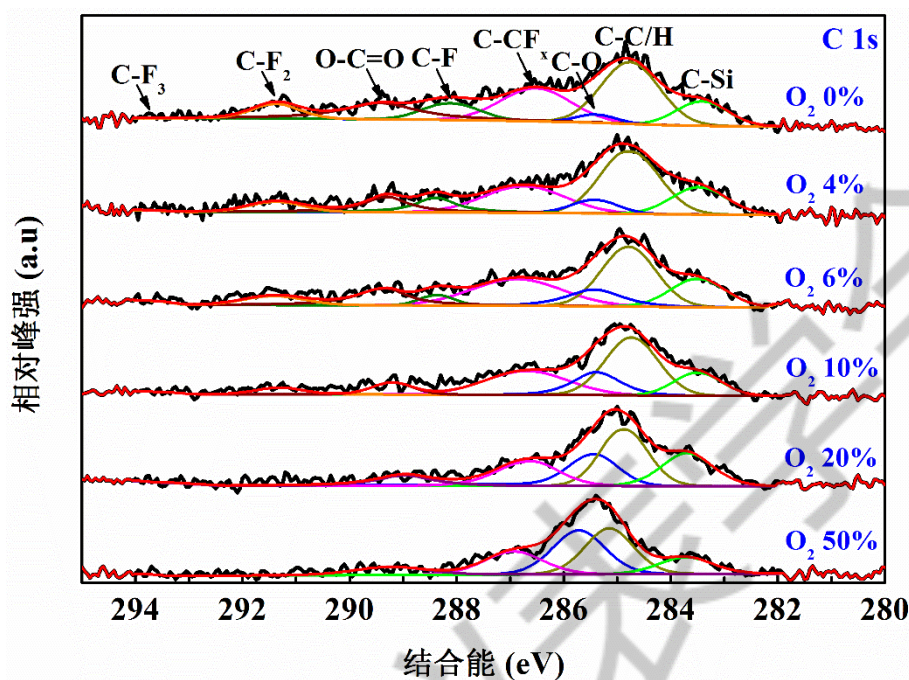


图 4 不同 O_2 比例 CHF_3/O_2 混合等离子刻蚀后 Si 样品表面的 C 1s XPS 光谱， CHF_3+O_2 总流量为 50 sccm

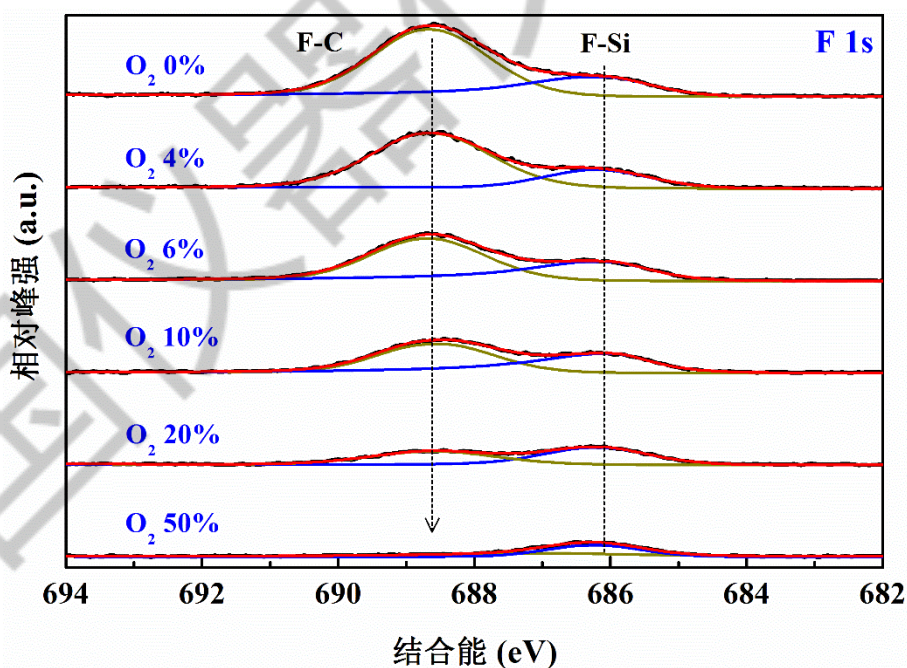


图 5 不同 O_2 比例 CHF_3/O_2 混合等离子刻蚀后

Si 样品表面的 F 1s XPS 光谱, CHF₃+O₂ 总流量为 50 sccm

图 6 为 6 组样品表面的 Si 2p XPS 能谱。通过对 Si 2p 能谱精细分峰发现, Si 表面的氧化行为与 O₂ 比例相关。在更高的 O₂ 浓度 (20%或以上), Si-O 峰值向更高的结合能转移意味着 Si 表面的氧化层作为蚀刻停止层随着 O₂ 浓度的增加, 从 SiO_x (1≤x<2) 转变为 SiO₂。这一结果测试验证了 3.2 节中的分析。

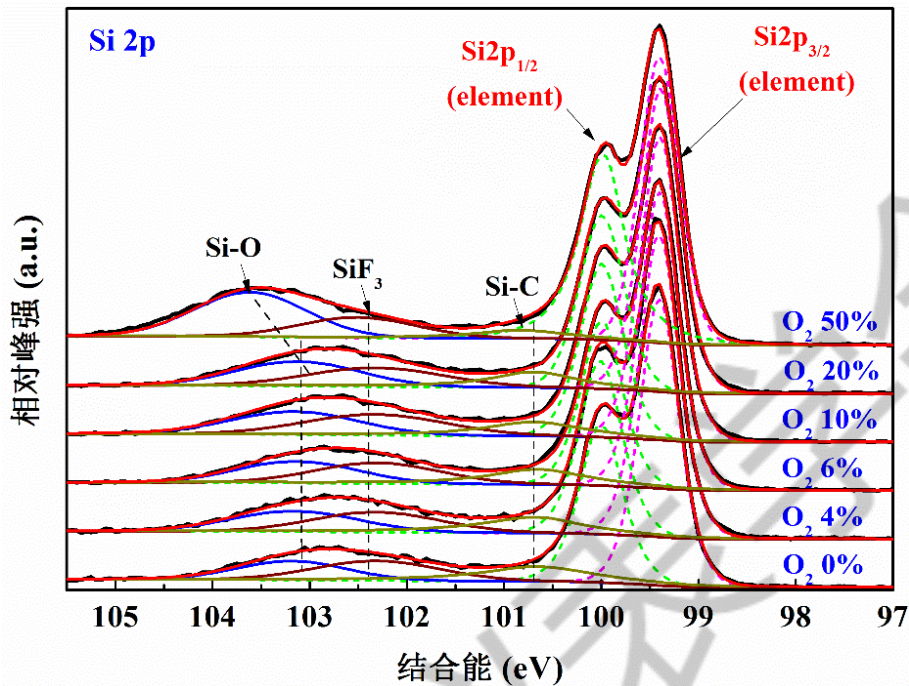


图 6 不同 O₂ 比例 CHF₃/O₂ 混合等离子刻蚀后

Si 样品表面的 Si 2p XPS 光谱, CHF₃+O₂ 总流量为 50 sccm

4 结论

研究发现基于 ICP 干法刻蚀设备, 保持 ICP 功率为 200 W, RF 功率为 50 W, CHF₃+O₂ 总流量为 50 sccm 不变, 通过精细调控 O₂ 比例至 10%时, 可以同时实现几乎陡直的 SiN_x 侧壁角度 (89°) 以及较低的 Si 表面粗糙度 (0.2 nm)。借助 XPS 深入分析了产生上述结果背后的物理机制。研究结果对半导体领域高性能芯片的制造具有一定的参考意义。

参考文献:

- [1] Mo J J, Zhao X R, Zhou M. Total Ionizing Dose Effects of Si Vertical Diffused MOSFET with SiO₂ and Si₃N₄/SiO₂ Gate Dielectrics[J]. Act. Passiv. Electron. Compon., 2017, 2017: 9685685.
- [2] Chu Y Q, Zhang M H, Huo Z L, et al. Comparison between N₂ and O₂ anneals on the integrity of an Al₂O₃/Si₃N₄/SiO₂/Si memory gate stack[J]. Chin. Phys. B, 2014, 23(8): 088501.
- [3] Jovanovic V, Suligoj T, Poljak M, et al. Ultra-high aspect-ratio FinFET technology[J]. Solid-

State Electron., 2010, 54: 870-876.

- [4] Kaspar P, Jeyaram Y, Jäckel H, et al. Silicon nitride hardmask fabrication using a cyclic CHF₃-based reactive ion etching process for vertical profile nanostructures[J]. J. Vac. Sci. Technol. B, 2010, 28: 1179-1186.
- [5] Zhou Q, Yang Xiu, Zhu L Y, et al. Ultrathin barrier AlGa_N/Ga_N hybrid-anode-diode with MOCVD in-situ Si₃N₄-cap and LPCVD-Si₃N₄ bilayer passivation stack for dynamic characteristic improvement[J]. Electron. Lett., 2020, 56: 789-791.
- [6] Wu H Y, Hsu C H, Liu T X, et al. Silicon nitride cover layer prepared by silane-free plasma chemical vapor deposition for high quality surface passivation of silicon solar cells[J]. Surf. Coat. Technol., 2019, 376: 68-73.
- [7] Moon S W, Lee J, Seo D, et al. High-voltage Ga_N-on-Si hetero-junction FETs with reduced leakage and current collapse effects using Si_N_x surface passivation layer deposited by low pressure CVD[J]. Jpn. J. Appl. Phys., 2014, 53: 08NH02.